



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

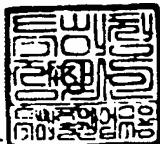
출 원 번 호 : 특허출원 2004년 제 0099962 호
Application Number 10-2004-0099962

출 원 년 월 일 : 2004년 12월 01일
Date of Application DEC 01, 2004

출 원 인 : 주식회사 파워트론
Applicant(s) POWERTRON CO.,LTD

2005년 1월 10일

특 허 청
COMMISSIONER



【서지사항】

【류명】	특허 출원서
【리구분】	특허
【수신처】	특허청장
【출원일자】	2004.12.01
【발명의 명칭】	축전지셀 단자전압 및 내부임피던스 측정 회로
【발명의 영문명칭】	Battery cell voltage and impedance measuring circuit
【출원인】	
【명칭】	주식회사 파워트론
【출원인 코드】	1-1998-004045-7
【특기사항】	출원인 대표자
【지분】	100/100
【발명자】	
【성명의 국문표기】	김 득 수
【성명의 영문표기】	KIM,deuk soo
【주민등록번호】	481215-1644012
【우편번호】	135-906
【주소】	서울 강남구 압구정2동 한양아파트 513번지 51동 803호
【국적】	KR
【우선권주장】	
【출원국명】	KR
【출원종류】	실용신안등록
【출원번호】	20-2003-0037800
【출원일자】	2003.12.04
【증명서류】	미첨부
【사칭구】	첨구
【기재】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사 를 청구합니다. 출원인 주식회사 파워트론 (인)
【수료】	
【기본출원료】	0 면 38,000 원
【가산출원료】	25 면 0 원
【우선권주장료】	1 건 20,000 원
【심사청구료】	10 항 429,000 원

【합계】 487,000 원
【김면사유】 소기업 (70%감면)
【감면 후 수수료】 160,100 원
【부서류】 1. 소기업임을 증명하는 서류_1종

【요약서】

【약】

일반적으로 축전지셀의 단자전압 및 내부 임피던스를 측정하여 불량한 전자를 선별하고자 하는 측정진단 회로에 있어서, 임피던스전압을 측정하기 위하여 전지셀에 정전류를 흘려 주면 축전지의 단자전압에서는 정전류에 의하여 유기된 임피던스전압 신호가 축전지의 단자전압인 직류전압에 더 하여져 (+) 나오게 된다. 이때 동충전 상태에 있는 12V 축전지셀인 경우에는 단자전압 직류치가 최대 15V를 넘어가게 되므로 종래 일반적인 차동연산증폭회로를 사용하기에는 입력정격을 초과할 우려가 있고 또한 2V이하의 셀을 측정시는 분해능력도 저하되는 단점이 있었으며, 측정로로 부터 축전지가 멀리 떨어져 있는 경우에는 측정회로의 배선 선로저항 강화차(rop)에 의하여 오차가 발생되었다.

본 고안은 축전지의 정격전압이 1.0-12V 범위인 축전지의 셀전압과 셀전압속에 풀전압형태로 유기되는 축전지 내부임피던스전압을 기타 노이즈전압으로부터 격렬 분리시켜 A/D컨버터로써 디지털값으로 바꾸고 변환된 디지털신호를 CPU에 입력해 축전지의 내부임피던스값을 정확하게 연산 계산할 수 있는 방안을 제시하고 있

【표도】

도 5

【인어】

⑤증폭기 (1). 셀전압, 임피던스전압, 직류커플링 (6). 대역통과 (밴드패스) 필터 (BNP).
⑥(2). A/D컨버터 (5.9)

【명세서】

날명의 명칭】

속전지셀 단자전압 및 내부임피던스 측정 회로(Battery cell voltage and
impedance measuring circuit)

도면의 간단한 설명

도 1 은 축전지셀 전압 및 임피던스측정 개념도

도 2 는 기존의 축전지셀 전압 및 임피던스 측정회로

도 3 은 본 발명의 축전지셀 전압 및 임피던스전압 블록 회로도

도 4 는 본 발명의 일 실시 예의 회로도

도 5 는 본 발명의 또 다른 일 실시 예의 회로도

도 6a 는 본 발명의 일 실시 예의 분압기/버퍼 및 가상

도 6b는 본 발명의 일 실시 예의 증폭기군의 상세회로

도 7은 본 발명의 블드페스팅 흐름

도 8. 본 발명의 배드패스필터의 각쇄를 성공선

【설명의 상세한 설명】

날명의 목적

【**설명이 속하는 기술분야 및 그 분야의 종래기술】**

비상전원설비 또는 통신망전원설비등에 축전지시스템이 많이 사용되고 있고 이 효율적 관리하는 것이 중요한 문제로 대두되고 있으며 이의 노화(건전상태)를 측정하는 방법으로는 전기적 특성(전압, 전류, 저항, 용량 등)을 이용하는 방법과 전기화학적 특성(전위, 전류, 용량 등)을 이용하는 방법이 있다.

하는 방안으로 셀전압과 내부임피던스를 측정할 수 있는 계측기 및 전단시스템이 용화되어 가고 있으며 측전지와 같이 노화정도에 따라 내부 임피던스가 증가하는 정률의 영화정도를 파악하기 위해서는 교류정전류 I_S 를 측전지와 같은 측정률의 단 양단에 입력시켜 내부임피던스에 의한 전압강하성분(이하 임피던스 전압) V_{IS} 을 측하여 내부임피던스를 측정하고 이의 건전상태를 진단하는 방법이 보편화되어 있다.

도 1에 도시된 바와 같이 측전지의 내부임피던스는 그 크기가 매우 작기 때문에 측정리드 선의 저항이나 Plug의 접촉저항과 같은 영향을 최소화하기 위해 교류 4자 측정법을 사용하고 있으며 정전류원 회로에서 Source 단자 (①, ②)를 통하여 교정전류 I_S 를 측전지와 같은 측정률의 양 단자 사이에 입력시키고 상기의 정전류 I_S 의하여 양단자 사이에 발생된 내부 임피던스 (V_{IS})를 Sense단자 (③, ④)를 통하여 측정한다.

현재 일반적으로 사용하고 있는 방법의 실시 예에서는 측전지단자에서 측정된 임피던스전압신호는 입력단에 콘덴서가 커플링 된 연산증폭기회로 등을 통해 순수 교신호로 변환된다. 이 임피던스 교신호는 공지된 밴드패스 또는 증폭기를 통해 D컨버터로 입력되고 디지털값으로 변환되어 CPU에 의해 연산되게 되어 있다.

측전지의 내부임피던스의 크기는 대용량의 측전지의 경우 1 미리옴(㎽) 이하의 매우 작은 값을 가지며 대용량의 측전지의 경우 측전지셀의 내부임피던스에 의한 암은 수 μ V단위의 미세한 신호이므로 셀 단자전압 (V_{DC}) 크기인 1.0~15V에 비하면 매우 작은 크기(수천분의 1)에 해당되고 주위로부터 전자파 Noise가 많이 흔들되어 있으므로 이를 측전지셀 전압 (V_{DC})에서 격렬히 분리하여 공지의 밴드패스필터와 같은 이즈 제거회로를 최적으로 설계하고 격렬히 증폭하여 정확하고 해상도가 높게 임피

스전압 신호를 메인프로세서 (MPU) 내의 A/D컨버터 입력측에 입력되도록 해야 할 필
가 있다. 또한 상기 신호를 측정회로 입력단에 연결시켜 주는 4단자망 회로에는
호용 휴우즈 (Fuse)의 접촉저항, 배선선로저항 및 기생 임피던스성분이 존재하고 있
며 측정회로내에도 기생 임피던스값이 있다. 따라서 측전지 내부임피던스에 의한
압을 측정하고자 하는 경우는 내부임피던스값이 매우 낮은 신호이므로 4단자망 및
정회로의 접촉저항, 배선선로저항에 의한 전압 강하치와 같은 기생 임피던스에 의
영향을 없애는 방안을 강구해야 할 필요가 있다.

본 특허에서는 한개의 고입력 동상전압형 차동증폭기 (High common_mode voltage differential amplifier)를 사용하여 측전지셀 전압의 측정범위를 넓히고 해상도를
개 정밀하게 측정할 수 있을 뿐만 아니라, 측전지셀 전압 직류성분중에 함유된 임
피던스전압을 콘덴서를 사용하여 커플링 시킨 후 밴드패스필터를 통해 노이즈를 여과
시키고 이의 신호를 정밀하고 해상도 높게 A/D컨버터를 통해서 디지털신호로 바꾸고
를 연산하여 임피던스값을 얻을 수 있는 방법을 제시한다.

【설명이 이루고자 하는 기술적 과제】

본 특허는 측전지셀 단자의 전압 성분속에 측전지 내부저항에 의하여
생된 미세한 교류임피던스전압이 함유 (합산)되어 4단자망회로를 통해 입력되는 측
지셀의 상기 신호전압 (V_{IS})을 적정한 레벨로 변환하여 마이크로프로세서 (CPU)에서
산하게 함으로써 측전지셀 직류전압 (V_{DC})과 임피던스전압 ($V_{IS'}$)을 측정할 수 있는
단을 제공할 수 있는 회로에 관한 것으로, 특히 측전지와 측정회로사이의 상호간
피던스를 고입력 동상전압형 (High Input common mode voltage) 차동증폭기를 통해
대화하여 상호 회로를 절연시키는 효과를 갖도록 하며, 동시에 측전지

류전압(V_{DC})과 측전지 내부 임피던스에 의한 임피던스전압($V_{IS'}$)값을 정확히 측정
수 있도록 구성된 밴드패스필터, A/D컨버터 및 CPU의 회로에 관한 것이다.

종래의 경우에는 1.0-15V 범위의 셀 전압을 측정할 수 있도록 제2도에
시된 바와 같이 차동증폭기(1A) 입력단의 분압회로 저항R1,R2로써 측전지셀 단자
압(V_{IS})을 1/2정도로 분압하여 0.5 -7.5V 레벨로 감소시켜 이 신호를 상기 차동증
기(1A)에 연결시키고 상기 차동증폭기(1A)의 출력신호는 다시 버퍼회로(Buffer)를
거쳐 A/D컨버터에서 디지털값으로 변환되고 CPU에 입력되어 셀의 직류전압(V_{DC})
측정, 연산되었다. 또한 측전지 내부저항에 의해 발생된 임피던스전압($V_{IS'}$)은 아
마세한 신호이므로 측전지셀 전압신호(V_{IS})를 분압하지 않고 직접 커패시터 C_S 와
항 R_S , R_d 로 구성된 직류커플링회로에서 직류성분을 제거한 후 임피던스전압($V_{IS'}$)
호만을 얻어 내어 또 다른 별도의 차동증폭기(1B)에 입력시켜 밴드패스(Band Pass
Filter)회로 및 버퍼회로(Buffer)등을 통하여 노이즈를 제거한 후 마이크로
컨트롤러(MCU)내의 A/D컨버터로 입력되어 계측 되어지는 회로를 사용하였다.

그러나 측전지셀의 직류전압과 측전지 내부저항에 의한
피던스전압($V_{IS'}$)이 종래의 방법과 같이 분압저항 R1,R2로 분압되어 차동증폭기
1A에 연결될 경우, 측전지셀 단자전압(V_{IS})인 직류전압(V_{DC})에는 전압분압 저항
.R2에 의해 Noise가 유도될 수 있고 이로 인해 이 신호를 마이크로 컨트롤러(MCU)
서 계측시 정밀도가 저하되게 되며 또한 측정Cable(4단자망)의 길이가 길어 절 경
축전지로 부터 분압저항 R1,R2사이로 폐회로가 구성되고 측정케이블을 따라 상기
저항 R1,R2가 부하가 되어 전류가 흐르게 되므로 셀 전압 측정시에는 케이블 선로저

에 의한 전압강하가 발생되고 측정오차가 발생되게 되어 정확한 측정값을 얻을 수
는 문제점이 있었다.

또한 교류 성분의 임피던스전압 ($V_{IS'}$) 신호를 얻기 위해 차동증폭기 (1B)
입력단에 커패시터 C_S 와 저항 R_S 및 R_d 로 구성된 직류 커플링회로를 두게 되는 데
전지와 병렬로 연결된 콘덴서 C_S 와 방전저항 R_d 를 통해 측정케이블을 거쳐 측전지의
류가 흐르게 되므로 배선의 저항에 의한 전압강하가 더욱 크게 발생되어 정확한 측
값을 얻을 수 없었다.

본 발명은 이러한 문제점을 해결하기 위하여 임피던스전압 ($V_{IS'}$)이 포함
측전지셀 전압신호 (V_{IS})를 마이크로 콘트롤러 (MCU)의 입력단 회로에 인가함에 있
차동증폭기 (1) 입력단에 종래와 같이 전압분배 회로 및 직류커플링 회로를 사용치
나하고 임피던스전압 ($V_{IS'}$)신호가 포함된 0-16V 크기의 셀전압 (V_{IS})을 차동증폭기
(1)의 입력단으로 직접 연결 (인가) 하되 셀 직류전압 (V_{DC})과 임피던스전압신호 ($V_{IS'}$)
적절히 분리하고 노이즈를 제거하기 위한 최적의 밴드패스필터를 제공하고 원하는
상도를 얻을 수 있는 적절한 A/D컨버터회로 및 이의 주변회로를 사용하여 간결하면
도 계측시에 측정 정확도가 확보될 수 있도록 인출한 것이다.

【설명의 구성 및 작용】

이하 도 3, 도 4 및 도 5를 통해 이의 동작 과정을 상세히 설명한다. 도 3 및
4는 측전지셀의 직류전압 (V_{DC}) 및 측전지 내부저항에 의한 임피던스전압 ($V_{IS'}$) 신호
전압 분배하지 않고 상기 차동증폭기 (1) 입력단으로 바로 입력 (연결) 시키되 입력
호 크기와 정확히 상관된 출력신호를 얻기 위해 오프셋 (Offset) 단자에 소정의 부 (-)
전압이 입력되어 지는 회로를 상세하게 도시하고 있다.

본 발명의 일 실시 예로써 고입력 동상전압형 차동증폭기 (1)의 옵셋(Off-set) 단자에 공지의 기준 정전압회로 (2)에 의해 생성된 부(-)정전압(본 실시예에서는 V_{IP})이 입력(연결)되어 지면 비교적 가격도 저렴하고 드리프트값도 적은 2개의 기준 정전압 다이오드(Reference Diode)에 의해 부(-)정전압인 $-8V$ 가 생성된다. 기준 정전압회로 (2)는 정전압 다이오드 ZD2, ZD3 및 전류제한 저항 R3을 직렬로 연결 구성되며, 상기 저항 R3 후단과 정전압 다이오드 ZD2의 음극(-)을 각각 $-12V$ 와 전원접지 연결한다. 여기서 생성된 부(-)정전압이 버퍼회로를 통해 차동증폭기 (1)의 옵셋단에 연결된다. 또한 상기 기준 정전압 다이오드 ZD2의 양단에는 다이오드 D1, 가변저항 R4, 다이오드 D2가 분압되게 직렬로 연결되고 가변저항 R4의 중앙단자는 정전압 다이오드 ZD2의 ADJ 단자에 연결되어 있어 상기 가변저항 R4로써 정전압 다이오드 2의 출력전압을 조정하여 기준 정전압회로 (2)의 출력을 미세하게 조절할 수도 있다.

상기 회로에 사용된 기준 정전압 다이오드(Reference Diode)는 일반 Zener diode보다 주위온도 및 전원전압($-12V$)이 변동하여도 정전압 출력이 변하지 않아 특이 매우 좋으며 측정회로내의 각 회로부품소자의 특성차이에서 발생될 수 있는 옵셋력을 보정하기 위하여 상기와 같이 회로를 구성하면 가변저항(R4)로써 옵셋전압 준값을 대략 $-7.8V$ ~ $-8.3V$ 내로 용이하게 가변될 수 있는 것이다.

일반적으로 연산증폭기의 출력은 이의 전원전압($\pm V_c$)크기에 의해 입력신호의 기에 관계없이 출력이 포화되는 포화전압(Saturation)값이 정해진다. 본 발명의 일 실시 예와 같이, 차동증폭기 (1)의 전원전압($\pm V_c$)이 $\pm 12V$ 이면 대체적으로 상기의 차동증폭기 (1)의 출력포화(Saturation) 전압값은 $\pm 10V$ 정도가 된다. 만약 상기의 차동

폭기의 Offset 단자에 일반적인 용도와 같이 단순히 출력전압의 옵셋(Offset) 보정을
기 위한 수단으로 약 0V 전압부근의 옵셋(Offset) 전압을 인가시키면 측전지 셀 전
인 0-16V 전압레벨은 차동증폭기의 증폭도가 1이므로 상기 차동증폭기 (1)의 입력신
호레벨 중 10V-16V이상의 입력신호에 해당되는 출력값은 포화되고 0-10V 범위 신호만
 출력되므로 10V이상의 셀 전압은 측정이 불가능하게 된다.

상기 차동증폭기 (1)는 보통의 연산증폭기에 비해 입력임피던스가 매우 큰 특징 (
 액바이어스 전류가 nA 이하임)을 가진 차동형 연산증폭기 (예로서 CMOS형 또는 FET
)로써 이의 비반전입력 및 반전입력단에 각각 수백k Ω 의 저항이 연결되어도 정확히
 동될 수 있으며 차동입력 전압신호에 대한 증폭도가 1이 되게 설계되어 있으므로
 기 차동증폭기 (1)의 출력은 입력단에 입력되어 지는 측전지 단자전압 신호인 차동
 압신호 ($V_+ - V_-$) 와 옵셋단자에 입력된 기준전압 (V_{ref})의 합이 되고 $(V_+ - V_-) + V_{ref}$
 씨 표시된다. 그러므로 측전지셀의 단자전압 (V_{IS})인 0V ~ 16V 전압신호가 입력될 때
 셋기준전압 (V_{ref})이 -8V로 설정되어 있으므로 상기 차동증폭기 (1)의 출력은 포화전
 ±10V 범위이하인 -8V ~ +8V사이의 값을 얻을 수 있게 된다. 또한 옵셋(Offset) 단
 에 입력되는 부(-)기준 전압치 V_{ref} 를 -11V로 입력시켜면 상기 계산식에 의해 1-21V
 위의 높은 전압값까지 상기 차동증폭기 (1)에 입력시킬 수 있게 되고 -10V에서 +10V
 위의 출력신호를 얻을 수 있다.

상기 차동증폭기 (1)를 통해 전압레벨이 -8V에서 +8V 크기로 변환된 출력신호에
 직류전압 (V_{DC}) 성분위에 수mV 침두치를 가진 임피던스전압 (V_{IS}')과 외부로 부터
 입되는 노이즈가 섞이게 된다. 상기 출력전압신호 (V_{IS})는 저항 R1과 커패시터 C1으
 구성된 직류필터회로 (3)에서 리플노이즈가 제거된 후 직류전압 (V_{DC}) 신호만을 얻어

버퍼회로(4)에서 완충(버퍼링:입·출력임피던스에 의한 부하효과를 방지함)되어 해상도(분해능)을 높이기 위해 12비트(Bit) 이상의 A/D컨버터(5)의 입력단에 연결되어 게된다. 여기에서 버퍼회로(4)의 출력단의 침류전압(V_{pc})신호의 범위가 $-10V \sim +10V$ 이므로 이 범위의 신호를 변환할 수 있는 특성을 가진 A/D 컨버터 또는 이와 동한 A/D 컨버터를 가진 마이크로콘트롤러(MCU)를 선택하여야 해상도(분해능)를 높일 수 있다.

측전지용량이 수백Ah 이하일 경우에는 내부 임피던스값이 수십 μ 오정도로 깊이 되므로 다소 해상도가 저하될 수 있지만 제조원기를 출일 수 있도록 10비트(Bit)이하의 A/D컨버터(5)를 사용할 수도 있으며 또한 마이크로 콘트롤러(MCU)내에 내장되어 있는 입력범위가 0~5V인 A/D컨버터를 사용할 수 있다. 시판되고 있는 MCU 일반적으로 전단에 보유된 멀티플렉서로써 입력 채널을 고속으로 스위칭하여 수개 입력신호를 A/D변환시키는 회로를 가지고 있으며 따라서 마이크로 콘트롤러(MCU) 개념적으로는 수개의 A/D컨버터를 내부에 가진 것처럼 동작한다.

또한 상기와 같이 마이크로 콘트롤러(MCU)내에 내장된 A/D컨버터(5 또는 소자를 사용할 경우에는 상기의 버퍼(4)의 출력도 0~5V이내 이어야 할 필요가 있으므로. 상기 차동증폭기(1)의 옵셋기준 전압(V_{ref})을 예로써 $-7V$ 로 설정함으로써 측전센의 단자전압(V_{IS})이 $1V \sim 16V$ 의 신호로 입력될 때 상기의 차동증폭기(1)에서 $-6V \sim +8V$ 사이의 출력을 얻을 수 있다. 도 6a 는 본 발명의 일 실시 예인 분압기/버퍼회 및 가산기회로를 보여 준다. 상기의 차동증폭기(1)에서 얻은 $-6V \sim +8V$ 사이의 출전압이 분압기/버퍼회로에서 1/3로 분압된 후 $-2V \sim +3V$ 범위의 신호가 얻어지며 다

공지의 가산기회로에서 전압신호 V_{f2} 을 가산하여 상기에서 얻은 $-2V$ ~ $+3V$ 범위 신호를 레벨 쉬프트시켜 $0V$ ~ $+5V$ 의 신호를 얻을 수 있게 된다. 상기의 가산기회의 출력신호는 $0V$ ~ $+5V$ 의 신호이므로 마이크로 콘트롤러 (MCU) 내에 내장되어 있는 /D컨버터 (입력범위가 $0V$ ~ $+5V$ 임)를 사용할 수 있는 것이다.

한편 상기에서 $-8V$ ~ $+8V$ 또는 $-6V$ ~ $+9V$ 사이의 레벨로 변환된 셀 전압신호(V_{IS})는 커패시터 C2 및 R2로 구성된 직류커플링회로 (6)를 통과하면서 직류성분이 거되어 순수한 교류신호인 임피던스전압(V_{IS}')신호가 얻어진다. 이후 대역통과필터 (Band Pass Filter: BNP)를 통과하게 된다. 상기의 대역통과필터 (7)는 임피던스전신호(V_{IS}')이외의 주파수를 갖는 Noise 신호를 감쇄시켜 차단하는 역할을 하며 보형대역 필터를 사용하여 충전 리플전류에 의한 발생되는 노이즈신호 및 유도작용 의해 발생되는 노이즈를 확실히 제거할 수 있도록 설계함으로써 필터링 효과를 높 수 있다. 대역통과필터 (7)를 통과한 임피던스전압(V_{IS}')신호는 이후 산증폭기군 (8)를 통과하게 된다. 상기의 연산증폭기군 (8)은 광범위한 임피던스전압 5, 17, 19)로 구성되며 약 수십배에서 수천배로 증폭되어 $\pm 10V$ 범위의 레벨 신호로 쪽되고 12비트 A/D컨버터 (9)로써 12비트 고해상도의 디지털신호값으로 변환되고 마크로프로세서 CPU(10)에서 정확한 값으로 계측, 연산되어 진다. 상기 임피던스전압(V_{IS}')신호의 위상을 공지된 제로크로스회로를 통해 측정할 필요가 있는 경우에는 상기 임피던스전압(V_{IS}')신호를 완전하게 필터링시켜야 되며 이러한 목적으로 연산증폭기군 (8) 후단에 제2 BNP(11)를 설치 할 수도 있다.

도 7은 임피던스전압($V_{IS'}$) 신호와 유사한 주파수대를 가진 신호만이 통될 수 있도록 설계된 대역통과필터(7) (Band Pass Filter)의 일 실시 예이다. 상기 서 설명한 대역통과필터(7) (Band Pass Filter)는 공지의 동일구조의 협대역 통과필터를 2단 총속으로 접속한 형태로 구성되며 상기의 각 협대역 통과필터는 공지된 바 같이 2개의 콘덴서와 3개의 저항 및 연산증폭기로 구성된다. 이와 같은 협대역 통과필터를 2단 총속으로 접속시키면 저역통과필터(LPF)와 고역통과필터(HPF)를 총속으로 접속한 광대역 통과필터보다 대역폭이 훨씬 좁은 밴드통과필터의 특성을 가질 수 있게 된다.

상기의 대역통과필터(7) 회로를 간단히 하기 위해 콘덴서 C1, C2, C3, C4를 각 2개씩 갈도록 선정하거나 또는 모두 동일한 값으로 선정하고 저항 R1 ~ R6값을 절히 선택할 수 있다. 인쇄회로기판(PCB)를 소형화하기 위하여 대개 칩(chip) 형태 콘덴서를 사용할 수 있으며 일 실시 예로써 회로구성을 간단히 할 수 있도록 콘덴서 C1, C2, C3, C4의 값을 10nF로 모두 동일하게 선정하고 저항 R1 ~ R6값을 적절히 선택하면서 저역차단 주파수 f_L 와 고역차단 주파수 f_H 를 선정하여 설계자가 원하는 값으로 기의 대역통과필터(7) 대역폭을 비교적 용이하게 결정할 수 있다.

도 8은 전술한 바와 같이 동일한 구조의 협대역 통과필터를 2단 총속으로 속하여 얻은 대역통과필터(7)의 주파수대역별 여과특성을 PSPICE로 시뮬레이션한 과를 보여주고 있다. 도 8에서 알 수 있듯이 예로써 공진주파수 f_r 를 720Hz로 설계하면 공진주파수 f_r 의 ± 5%내외인 660Hz에서 780Hz사이의 주파수에 대한 감쇄특성은 거의 영(최대 이득을 가짐)이 될 수 있다. 따라서 상기의 대역통과필터(7)는 임피던스전압신호($V_{IS'}$)의 주파수가 720Hz인 경우 이의 감쇄특성이 거의 영(최대 이득을

짐)이 되게 되며 공진주파수 f_r 의 $\pm 5\%$ 내에서 주파수 감쇄특성은 거의 영 (최대 이율 가짐)이 되므로 주위온도 변화에 의하여 공진주파수 f_r 가 $\pm 5\%$ 정도로 변화되며 상기의 대역통과필터 (7)를 통과한 후의 임피던스전압신호 ($V_{IS'}$)의 감쇄특성은 영으로 일정하게 유지될 수 있다.

또한 공진주파수 f_r 가 720Hz로 동일하며 저역차단 주파수 f_L 와 고역차단 주파수 f_H 가 각각 약 400Hz, 1000Hz정도인 충전의 광대역 통과필터 (BPF)의 특성보다 역폭이 대폭 좁은 특성을 갖게 되므로 노이즈 잡음주파수에 대한 감쇄특성을 높일 있으며 충전 리듬전류에 의한 노이즈신호 및 유도작용에 의해 발생될 수 있는 잡음을 확실히 제거할 수 있도록 되는 것이다. 이와 반대로 1개의 연산증폭기를 사용하는 설계된 협대역 대역통과 필터회로는 대역폭이 매우 좁은 특성을 가지므로 지정된 진주파수 f_r 에서만 최대 이득을 얻을 수 있다. 따라서 주위온도가 변화되게 되면 터회로의 구성소자인 저항 및 콘덴서값이 변동되어 공진주파수 f_r 의 값이 변화되고 고자 하는 신호주파수에 대해 이득이 감쇄되게 되므로 임피던스전압신호 ($V_{IS'}$)의 쇄특성이 온도에 따라 변화될 수 있는 단점을 갖게 된다.

상기에서는 도3 및 도 4에서와 같이 본 기술의 요지를 직류전압 (V_{DC}) 신호 A/D컨버터 (5)에 입력되며 임피던스전압 ($V_{IS'}$)신호는 또 다른 A/D컨버터 (9)에 입력되는 것과 같이 원론적인 이론을 바탕으로 하여 설명하였으나, 현실적으로 시판되고는 디바이스들은 대개 A/D컨버터 전단에 Analog Switch 기능을 가진 수개 채널의 티플렉서 (MUX)를 가지고 있어 상기의 멀티플렉서 (MUX)로써 직류전압 (V_{DC}) 신호 및 피던스전압 ($V_{IS'}$)신호를 필요한 연산시점에서 A/D컨버터회로에 연결시켜 A/D변환시 후 CPU (10)에서 연산하게 되어 있다.

도 5는 시판되고 있는 디바이스를 사용한 일 실시 예이다. 현재 상용화되어 있는 A/D 컨버터소자에는 $\pm 10V$ 범위의 레벨신호를 디지털신호로 변환할 수 있는 D 컨버터와 상기의 A/D컨버터 입력단에 고속의 멀티플렉서 (MUX) 회로가 내장되어 있다. 상기의 멀티플렉서 (MUX) 회로는 CPU(10)의 선택신호를 받아서 필요한 연산식점에 개 채널 (channel)의 Analog 입력신호를 고속 순차적으로 A/D 컨버터 (ADC)에 연결시켜 역할을 한다. 상기의 Analog 입력신호는 상기의 A/D 컨버터 (ADC)에 의하여 디지털로 고속변환되고 CPU(10)의 입력단에 인가되어 연산처리된다. 본 발명의 원형에는 아날로그 디바이스사의 AD7891 모델규격이 사용되어 변환속도가 1.6 마이크로세컨드(초)로써 고속 변환이 가능하고 $\pm 10V$ 범위의 Analog 입력신호를 12비트 디지털로 변환하여 연산시에 해상도(분해능)를 높일 수 있으므로 측정시의 정확도가 높되는 것이다.

또한 전술한 바와 같이 마이크로 콘트롤러 (MCU)에 내장되어 있는 A/D컨버터를 사용하여 직류전압 (V_{DC}) 신호를 A/D 변환시키는 방식과 유사한 개념으로 상기 마이크로 콘트롤러 (MCU) 소자에 내장되어 있는 입력범위가 0V ~ +5V인 A/D컨버터를 이용하여 임피던스전압 (V_{IS}) 신호도 A/D 변환시킬 수 있다. 전술한 바와 같이 대개 경우 마이크로 콘트롤러 (MCU) 소자에 내장된 A/D컨버터의 입력범위는 0V ~ +5V 이다. 수 μ V 크기의 임피던스전압 (V_{IS}) 신호는 상기 대역통과필터 (7)를 통해 필터된 후 제1 증폭기 (15)에서 수십배로 증폭되거나 또는 제 2증폭기 (17)를 거쳐 수백에서 수천배로 증폭되어 -2.5V에서 +2.5V 범위의 신호로 증폭된다. 도 6b는 상기에서 설명한 대역통과필터 (7)의 후단회로인 증폭기군 (8)회로의 일 실시 예인 블럭도를 주고 있다. 제1 가산기 (16) 또는 제2 가산기 (18)는 전술한 바 있는 도 6a의 가

기회로와 동일 구조를 가지고 있으며 제 1증폭기 (15) 및 제 2증폭기 (17) 회로 후단 각각 연결되어 있다. 상기의 제1 또는 제2 가산기회로를 통해 상기의 임피던스전 ($V_{IS'}$) 신호는 0V ~ +5V의 신호로 소프트되어 A/D컨버터 (9)에 입력되어 지게 된다. 기에서는 2단의 증폭기군을 가진 연산증폭기군 (8) 회로에 대하여 설명하였으나, 즉 범위가 넓은 경우에는 설계자의 결정에 의해 수개 단의 증폭기 (15,17,19)로 구성된 증폭기군을 사용할 수 있다.

임피던스연산에 필요한 정전류신호 (1a)는 증폭기 (12)를 통해 절격한 레이스로 증폭되어 상기 멀티플렉서 (MUX) 회로의 또 다른 입력단에 연결되며 공지의 씨미터센서에서 만들어진 온도신호는 공지의 휘스톤브릿지회로 (13) 및 또 다른 증폭기 (4)를 통해 적절한 레벨로 증폭되어 상기 멀티플렉서 (MUX) 회로의 또 다른 입력단에 연결되어 CPU (10)에서 연산, 계측되어 지게 된다.

이와 같이 본 발명은 고입력 동상전압형 차동증폭기의 옵셋단자에 적 한 부 (-)레벨의 정전압을 인가함으로써 측전지의 셀 단자간압이 1 ~ 21V범위인 경우도 이의 신호를 마이크로컨트롤러 (MCU) 인에서 허용되는 최대 레벨신호로 변환하여 8상도를 12비트이상으로 높이고 아울러 차동증폭기 (1)의 출력 후단에 직류 커플링로를 통으로써 측정회로의 4단자망 출력단자에서 본 입력임피던스를 최대한 높여 성임피던스에 의한 측정오차를 줄일 수 있으므로 미세한 임피던스전압신호 ($V_{IS'}$)를 확하게 측정할 수 있는 효과가 있게 되는 것이다. 또 다른 실시 예로써 마이크로컨트롤러 (MCU) 내에 내장된 A/D컨버터를 채택하여 기능을 구현할 수 있는 적절한 방안 제시하고 있는 것이다.

발명의 효과】

이미 설명된 바와 같이 본 발명은 축전지 셀전압(V_{DC})과 임피던스전압($V_{IS'}$)을 측정회로의 영향을 받지 않고 한개의 고입력 동상전압형 차동증폭기(High common mode voltage differential amplifier)를 사용하여 축전지셀 전압을 정밀하게 측정할 수 있을 뿐만 아니라 축전지셀 전압 직류성분중에첨가된 임피던스전압을 센서를 사용하여 커플링시키고 용도에 맞춰 A/D컨버터를 채택하여 이의 신호를 정하고 해상도 높게 얻을 수 있는 방안을 제시한다. 또한 적절하게 설계된 대역통과 터(BNP)에 의하여 노이즈 신호에 의한 영향을 연산처리시에 효과적으로 배제할 수 있어 임피던스 전압($V_{IS'}$)의 참값만을 취할 수 있게 한다.

【허청구범위】

【청구항 1】

측전지셀의 단자전압 (V_{DC}) 및 내부임피던스전압 ($V_{IS'}$)을 측정하기 위한 회로에
어서.

고입력 동상전압형 차동증폭기 (1) 와:

기준 정전압회로 (2) 와:

직류 필터회로 (3) 와:

비파회로 (4) 와:

직류커플링회로 (6) 와:

대역통과필터 (7) 와:

연산증폭기군 (8) 과:

A/D컨버터 (5,9) 및 CPU(10)로 구성됨을 특징으로 하는 측전지셀 단자전압

내부임피던스 측정회로.

【청구항 2】

청구항 1에 있어서,

A/D 컨버터 (5,9) 및 CPU(10)가, 수개의 입력채널 (channel)을 가진 멀티пл렉서

UX) 회로 및 ADC회로로써 구성된 A/D 컨버터 (8) 와:

CPU(10)로 대치됨을 특징으로 하는 측전지셀 단자전압 및 내부임피던스 측정회

청구항 3]

청구항 1 에 있어서,

A/D컨버터 (5,9) 및 CPU(10)가, 상용화된 마이크로 콘트롤러 (MCU) 내에 내장된
 D 컨버터 (9) 와 CPU(10)로 대치됨을 특징으로 하는 축전지셀 단자전압 및 내부임피
 스 측정회로.

청구항 4]

청구항 2 에 있어서,

멀티플렉서 (MUX) 회로의 입력 채널 (channel)에는,

버퍼 (4)에 의해 완충 (Buffering)되어 출력되는 셀 단자전압 (V_{DC}) 신호와;

연산증폭기군 (8)에 의해 수개 단으로 증폭되어 수 개의 신호로 출력되는 임피
 스전압신호 (V_{IS}) 와;

정전류신호 (I_S) 와 같은 $\pm 10V$ 범위의 Analog 신호가 각각 입력되고.

상기 CPU(10)의 Select신호에 의해 선택되어 상기의 Analog 신호가 12비트 A/D
 컨버터 (9)의 ADC회로에 입력되어짐을 특징으로 하는 축전지셀 단자전압 및 내부임피
 스 측정회로.

청구항 5]

청구항 1 또는 3 에 있어서,

상기의 고입력 등상전입형 차동증폭기 (1)에서 얻은 출력전압이 분압기/버퍼회
 에서 1/3로 분압되고,

상기의 연산증폭기군 (8)은.

수 개의 증폭율이 상이한 증폭기와 상기 각 증폭기의 후단에 각각 연결된 가산
로 구성됨을 특징으로 하는 축전지셀 단자전압 및 내부임피던스 측정회로.

■**구항 6]**

청구항 1에 있어서.

대역통과필터 (7)는 2개의 콘덴서와 3개의 저항 및 연산증폭기로 구성된 협대역
통과필터를 2단 총속으로 접속한 형태로 구성되어 짐을 특징으로 하는 축전지셀 단
자전압 및 내부임피던스 측정회로.

■**구항 7]**

축전지셀의 단자전압 (V_{DC}) 및 내부임피던스전압 ($V_{IS'}$)을 측정하기 위한 회로에
어서.

고입력 동상전압형 차동증폭기 (1)의 반전 및 비반전 입력단자에 센스단자 (3). (4)
의 출력이 연결되고, 상기 차동증폭기 (1)의 옵셋단자에는 공지의 기준 정전압회로
(5)에 의해 생성된 부 (-)정전압 (V_{ref})이 연결(입력)되고, 상기 차동증폭기 (1)의 출력
공지의 직류필터회로 (3)에서 여과된 후 버퍼 (4)에서 완충되어 A/D값으로
환되고, 또 한편 상기 차동증폭기 (1) 출력은 직류 커플링회로 (6)를 통과한 후 교류
호의 임피던스전압 ($V_{IS'}$)으로 변환되고 상기 교류신호는 대역통과필터 (7) 및 연산
증폭기군 (8)을 통과하여 A/D값으로 변환되어 짐을 특징으로 하는 축전지셀 단자전압
내부임피던스 측정회로.

▶ 구항 8)

▶ 청구항 7)에 있어서.

상기의 기준정전압회로 (2)는 2개의 정전압 다이오드 ZD2, ZD3 및 전류제한 저항이 직렬로 연결된 형태로 구성되어 있고, 여기서 생성된 부(-)정전압이 버퍼회로를 해 차동증폭기 (1)의 옵셋단자에 연결되고, 상기 기준 정전압 다이오드 ZD2의 양단은 다이오드 D1, 가변저항 R4, 다이오드 D2가 직렬로 연결되고, 상기 가변저항 R4의 양단자는 상기 기준 정전압 다이오드 ZD2의 ADJ단자에 연결되어
셋기준전압 (V_{ref})을 상기 가변저항 R4로 썬 미세하게 가변할 수 있는 특징을 가진 전지셀 단자전압 및 내부임피던스 측정회로

▶ 구항 9)

▶ 청구항 7)에 있어서.

상기의 차동증폭기 (1)의 옵셋단자는 공지의 기준 정전압회로 (2)에 의해 생성된 V크기의 부(-)정전압 (V_{ref})이 연결(입력)됨을 특징으로 하는 측전지셀 단자전압 및
부임피던스측정회로

▶ 구항 10)

▶ 청구항 7)에 있어서.

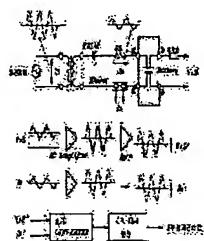
상기의 고입력 동상전압형 차동증폭기 (1)는, 입력임피던스가 대단히 높은 차형 연산증폭기소자와,

상기의 연산증폭기소자의 반전 및 비반전 입력회로에 수백 킬로옴 (kΩ) 저항이 각 연결되어진 형태로 구성되고, 상기 차동형 연산증폭기소자의 옵셋조정단자에 공

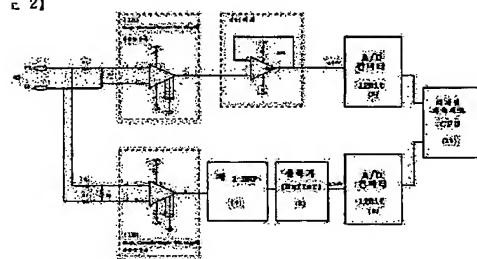
의 기준전압 (-)회로 (2)가 연결된 축전지셀 단자전압 및 내부임피던스 측정회로 .

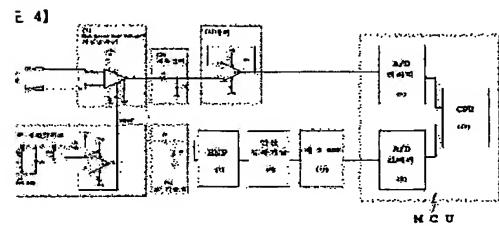
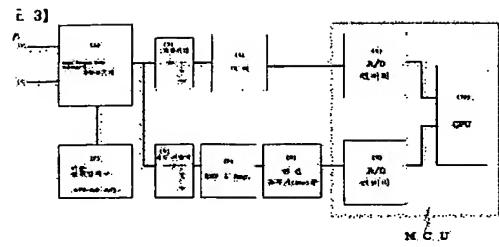
【도면】

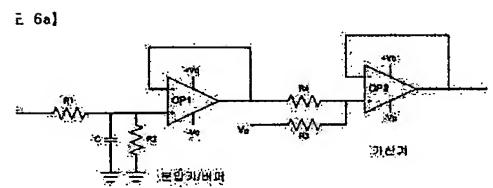
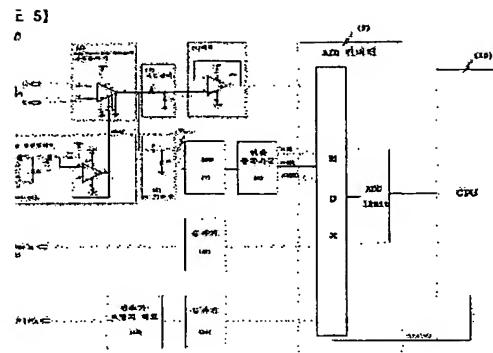
E 11

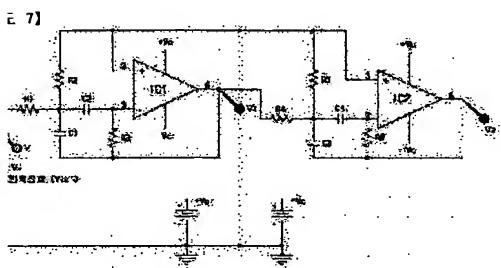
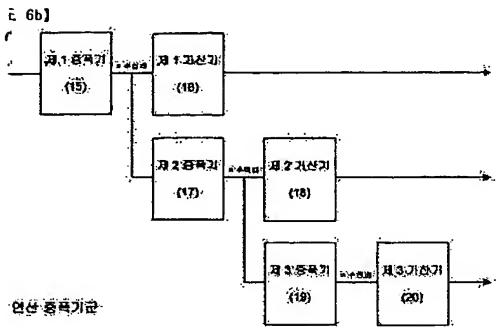


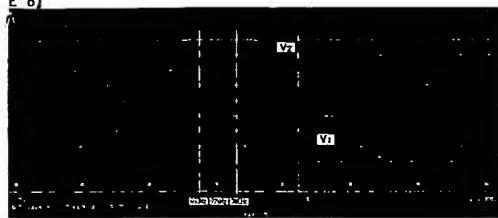
21











27-27

BEST AVAILABLE COPY

Document made available under the Patent Cooperation Treaty (PCT)

International application number: PCT/KR04/003177

International filing date: 04 December 2004 (04.12.2004)

Document type: Certified copy of priority document

Document details: Country/Office: KR

Number: 10-2004-0099962

Filing date: 01 December 2004 (01.12.2004)

Date of receipt at the International Bureau: 14 February 2005 (14.02.2005)

Remark: Priority document submitted or transmitted to the International Bureau in compliance with Rule 17.1(a) or (b)



World Intellectual Property Organization (WIPO) - Geneva, Switzerland
Organisation Mondiale de la Propriété Intellectuelle (OMPI) - Genève, Suisse